

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshihiro YAMAGUCHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: HIGH WITHSTAND VOLTAGE SEMICONDUCTOR DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-166419	June 11, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland**  
**Registration Number 21,124**

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    6 月 1 1 日  
Date of Application:

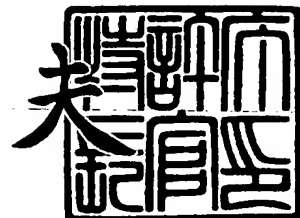
出 願 番 号                      特 願 2 0 0 3 - 1 6 6 4 1 9  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 1 6 6 4 1 9 ]

出      願      人                      株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年    8 月 1 2 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 6 4 7 4 8

【書類名】 特許願

【整理番号】 14141701

【提出日】 平成15年 6月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/861

【発明の名称】 高耐圧半導体装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 山 口 好 広

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
                                研究開発センター内

    【氏名】 中 川 明 夫

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100075812

    【弁理士】

    【氏名又は名称】 吉 武 賢 次

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

## 【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【選任した代理人】

【識別番号】 100118876

【弁理士】

【氏名又は名称】 岡 澤 順 生

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高耐圧半導体装置

【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成された半導体層と、

前記半導体層の表面領域に形成され、内側の第 1 の主電極と、外側の第 2 の主電極を有し、前記第 1 及び第 2 の主電極間に主電流を流すようにした横型半導体素子と、

前記第 2 の主電極の内側において、前記第 1 の主電極を囲むように前記半導体層上に形成されたフィールド絶縁膜と、

それぞれ前記フィールド絶縁膜上に形成され、前記第 1 の主電極を囲み、且つ、前記第 1 の主電極から前記第 2 の主電極に順次近づくように配置された、略周回形状を有する複数の周回フィールドプレートであって、最内側の前記周回フィールドプレートが前記第 1 の主電極に接続され、最外側の前記周回フィールドプレートが前記第 2 の主電極に接続された複数の周回フィールドプレートと、隣り合う前記周回フィールドプレート同士を接続する接続フィールドプレートと、を有する抵抗性フィールドプレートと、

前記複数の周回フィールドプレートによる間隙上において層間絶縁膜を介してフローティング状態に形成され、前記第 1 及び第 2 の主電極間への電圧印加時に、前記抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートと、

を備えることを特徴とする高耐圧半導体装置。

【請求項 2】

前記複数の周回フィールドプレートは、それぞれ同心円状に構成されたことを特徴とする請求項 1 に記載の高耐圧半導体装置。

【請求項 3】

前記導電性フィールドプレートは、前記複数の周回フィールドプレートによる間隙上に沿って同心円状に形成されたことを特徴とする請求項 2 に記載の高耐圧

半導体装置。

【請求項 4】

前記導電性フィールドプレートは、前記複数の周回フィールドプレートによる間隙の複数を覆うように形成されたことを特徴とする請求項 3 に記載の高耐圧半導体装置。

【請求項 5】

前記抵抗性フィールドプレートは、渦巻き状に形成されたことを特徴とする請求項 1 に記載の高耐圧半導体装置。

【請求項 6】

前記導電性フィールドプレートは、前記抵抗性フィールドプレートによる間隙上に沿って渦巻き状に形成され、且つ、複数の分断されたことを特徴とする請求項 5 に記載の高耐圧半導体装置。

【請求項 7】

半導体基板の第 1 面及び第 2 面側においてそれぞれ第 1 及び第 2 の主電極を有し、前記第 1 及び第 2 の主電極間に主電極を流すようにした、前記半導体基板中に形成された縦型半導体素子と、

終端部であって、

前記半導体基板の第 1 面側において、前記第 1 の主電極と基板面に平行方向に離間した状態で前記半導体基板の外周部に形成されたフィールド電極と、

前記フィールド電極の内側において前記第 1 の主電極を囲むように前記半導体基板上に形成されたフィールド絶縁膜と、

それぞれ前記フィールド絶縁膜上に形成され、前記第 1 の主電極を囲み、且つ、前記第 1 の主電極から前記フィールド電極に順次近づくように配置された、略周回形状を有する複数の周回フィールドプレートであって、最内側の前記周回フィールドプレートが前記第 1 の主電極に接続され、最外側の前記周回フィールドプレートが前記フィールド電極に接続された複数の周回フィールドプレートと、隣り合う前記周回フィールドプレート同士を接続する接続フィールドプレートと、を有する抵抗性フィールドプレートと、

前記複数の周回フィールドプレートによる間隙上において層間絶縁膜を介して

フローティング状態に形成され、前記第1の主電極及び前記フィールド電極間への電圧印加時において、前記抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートと、

を有する終端部と、

を備えたことを特徴とする高耐圧半導体装置。

#### 【請求項8】

前記複数の周回フィールドプレートは、それぞれ同心円状に構成されたことを特徴とする請求項7に記載の高耐圧半導体装置。

#### 【請求項9】

前記導電性フィールドプレートは、前記複数の周回フィールドプレートによる間隙上に沿って同心円状に形成されたことを特徴とする請求項8に記載の高耐圧半導体装置。

#### 【請求項10】

前記抵抗性フィールドプレートは、渦巻き状に形成され、

前記導電性フィールドプレートは、前記抵抗性フィールドプレートによる間隙上に沿って渦巻き状に形成され、且つ、複数の分断されたことを特徴とする請求項7に記載の高耐圧半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、高耐圧半導体装置に関し、特に抵抗性フィールドプレートを備えた高耐圧半導体装置に関する。

##### 【0002】

##### 【従来の技術】

高耐圧半導体素子の中には、基板の同一面上に形成された、高電圧電極（例えばアノード電極）と低電圧電極（例えばカソード電極）との間に、抵抗性フィールドプレートを備えたタイプのものがある。

##### 【0003】

この抵抗性フィールドプレートは、高電圧電極と低電圧電極との間に、例えば

耐圧電圧が印加された場合に、抵抗性フィールドプレート中に微少電流を流すことで、高電圧電極及び低電圧電極間における基板の表面電界を緩和するものである。

#### 【0004】

図9は、このような抵抗性フィールドプレートを備えた従来の高耐圧半導体装置を示す平面図であり、図10は、図9の高耐圧半導体装置における抵抗性フィールドプレートを示した平面図である。図11は、図9の高耐圧半導体装置のX I-X I線における断面図である。

#### 【0005】

図11に示すように、単結晶シリコン基板51と、シリコン酸化膜による絶縁膜52と、高抵抗のn型基板54とから構成されたSOI基板53が設けられている。n型基板54の表面には、p型アノード領域55及びn型カソード領域56が選択的に形成されている。これらp型アノード領域55及びn型カソード領域56の表面には、高不純物濃度のp型コンタクト領域58及びn型コンタクト領域59がそれぞれ選択的に形成されている。

#### 【0006】

p型アノード領域55とn型カソード領域56との間におけるn型基板54の表面には、選択酸化により形成されたいわゆるLOCOS酸化膜60が形成されている。このLOCOS酸化膜60上には、ポリシリコンからなる渦巻き状の平面パターンを有する抵抗性フィールドプレート61が形成されている（図10参照）。

#### 【0007】

特に図9に示すように、この抵抗性フィールドプレート61は、3つの構成要素、即ち、アノード電極62に接続された環状の第1の抵抗性フィールドプレート61<sub>1</sub>と、この第1の抵抗性フィールドプレート61<sub>1</sub>に囲まれ且つかソード電極63に接続された第2の抵抗性フィールドプレート61<sub>2</sub>と、一端が第1の抵抗性フィールドプレート61<sub>1</sub>に接続され且つ他端が第2の抵抗性フィールドプレート61<sub>2</sub>に接続された渦巻き状の抵抗性フィールドプレート61aとから構成されている。なお、図11中、符号64は、層間絶縁膜を示す。



## 【0008】

上の構成において、図11に示すように、n型基板54の表面における電界を緩和するためには、即ち、n型基板54の表面において均一な電界分布を発生させるためには、抵抗性フィールドプレート61aにおける渦の間隔を狭くして、渦の巻き数を増やすことが考えられる。

## 【0009】

しかし、渦の間隔を狭くすると、製造プロセスにおいて渦の間にダスト等が入り込んだ場合、入り込んだダスト等が隣り合うプレートを短絡してしまう恐れがある。したがって、渦の間隔としてある程度の広さを確保する必要がある。

## 【0010】

このため、上述した構造では、耐圧の向上に限界があった。

## 【0011】

これに対し、別の高耐圧半導体装置として、横型半導体装置の表面に容量接合型のフィールドプレートを設け、これにより高耐圧化を図るものもある（特許文献2参照）。

## 【0012】

より詳しくは、この高耐圧半導体装置における容量接合型フィールドプレートは上下2段構造になっていて、下段には、複数の環状の導電性フィールドプレートを同心円状且つフローティング状に配設する。一方、上段には、下段のフィールドプレートの各間隙上に沿って、環状の導電性フィールドプレートを配設する。

## 【0013】

この構造においては、アノード電極及びカソード電極間に電圧を印加した際に、アノード電極と下段の導電性フィールドプレート間、下段の導電性フィールドプレートと上段の導電性フィールドプレート間、及び下段の導電性フィールドプレートとカソード電極間に容量が形成される。即ち、アノード電極及びカソード電極間は、複数の容量によって接合される。これによって、基板表面において均一な電界分布を得るようにしている。

## 【0014】

しかし、上の容量接合型のフィールドプレート構造では、各導電性フィールドプレートの電位が、特定の電位に固定されていないため、耐圧が変動する問題があった。

【 0 0 1 5 】

【特許文献 1】

特開 2 0 0 0 - 2 2 1 7 5 号公報

【特許文献 2】

特開 2 0 0 2 - 3 5 3 4 4 8 号公報

【特許文献 3】

米国特許第 5 5 4 1 4 3 9 号明細書

【 0 0 1 6 】

【発明が解決しようとする課題】

以上のように、アノード電極及びカソード電極間に渦巻き形状の抵抗性フィールドプレートを用いる場合、渦巻きの間隔を、製造上の制約から広くする必要があり、このため、十分な耐圧を取得できない問題があった。一方、容量接合型のフィールドプレートを用いた場合、導電性フィールドプレートの電位が安定しないため、耐圧が変動する問題があった。

【 0 0 1 7 】

本発明は、上記問題点に鑑みてなされたものであり、その目的とするところは、抵抗性フィールドプレートの間隔を広く確保しつつ、高耐圧特性を有する高耐圧半導体装置を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の第 1 の高耐圧半導体装置は、基板と、前記基板上に形成された半導体層と、前記半導体層の表面領域に形成され、内側の第 1 の主電極と、外側の第 2 の主電極を有し、前記第 1 及び第 2 の主電極間に主電流を流すようにした横型半導体素子と、前記第 2 の主電極の内側において、前記第 1 の主電極を囲むように前記半導体層上に形成されたフィールド絶縁膜と、それぞれ前記フィールド絶縁膜上に形成され、前記第 1 の主電極を囲み、且つ、前記第 1 の主電極から前記第

2の主電極に順次近づくように配置された、略周回形状を有する複数の周回フィールドプレートであって、最内側の前記周回フィールドプレートが前記第1の主電極に接続され、最外側の前記周回フィールドプレートが前記第2の主電極に接続された複数の周回フィールドプレートと、隣り合う前記周回フィールドプレート同士を接続する接続フィールドプレートと、を有する抵抗性フィールドプレートと、前記複数の周回フィールドプレートによる間隙上において層間絶縁膜を介してフローティング状態に形成され、前記第1及び第2の主電極間への電圧印加時に、前記抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートと、を備えることを特徴とする。

**【0019】**

本発明の第2の高耐圧半導体装置は、第1の高耐圧半導体装置において、前記複数の周回フィールドプレートがそれぞれ同心円を構成されたことを特徴とする。

**【0020】**

本発明の第3の高耐圧半導体装置は、第2の高耐圧半導体装置において、前記導電性フィールドプレートが、前記複数の周回フィールドプレートによる間隙上に沿って同心円状に形成されたことを特徴とする。

**【0021】**

本発明の第4の高耐圧半導体装置は、前記導電性フィールドプレートが、前記複数の周回フィールドプレートによる間隙の複数を覆うように形成されたことを特徴とする。

**【0022】**

本発明の第5の高耐圧半導体装置は、第1の高耐圧半導体装置において、前記抵抗性フィールドプレートが、渦巻き状に形成されたことを特徴とする。

**【0023】**

本発明の第6の高耐圧半導体装置は、第5の高耐圧半導体装置において、前記導電性フィールドプレートが、前記抵抗性フィールドプレートによる間隙上に沿って渦巻き状に形成され、且つ、複수에分断されたことを特徴とする。

**【0024】**

本発明の第 7 の高耐圧半導体装置は、半導体基板の第 1 面及び第 2 面側においてそれぞれ第 1 及び第 2 の主電極を有し、前記第 1 及び第 2 の主電極間に主電極を流すようにした、前記半導体基板中に形成された縦型半導体素子と、終端部であって、前記半導体基板の第 1 面側において、前記第 1 の主電極と基板面に平行方向に離間した状態で前記半導体基板の外周部に形成されたフィールド電極と、前記フィールド電極の内側において前記第 1 の主電極を囲むように前記半導体基板上に形成されたフィールド絶縁膜と、それぞれ前記フィールド絶縁膜上に形成され、前記第 1 の主電極を囲み、且つ、前記第 1 の主電極から前記フィールド電極に順次近づくように配置された、略周回形状を有する複数の周回フィールドプレートであって、最内側の前記周回フィールドプレートが前記第 1 の主電極に接続され、最外側の前記周回フィールドプレートが前記フィールド電極に接続された複数の周回フィールドプレートと、隣り合う前記周回フィールドプレート同士を接続する接続フィールドプレートと、を有する抵抗性フィールドプレートと、前記複数の周回フィールドプレートによる間隙上において層間絶縁膜を介してフローティング状態に形成され、前記第 1 の主電極及び前記フィールド電極間への電圧印加時において、前記抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートと、を有する終端部と、を備えたことを特徴とする。

#### 【 0 0 2 5 】

本発明の第 8 の高耐圧半導体装置は、前記複数の周回フィールドプレートが、それぞれ同心円状に構成されたことを特徴とする。

#### 【 0 0 2 6 】

本発明の第 9 の高耐圧半導体装置は、第 8 の高耐圧半導体装置において、前記導電性フィールドプレートが、前記複数の周回フィールドプレートによる間隙上に沿って同心円状に形成されたことを特徴とする。

#### 【 0 0 2 7 】

本発明の第 1 0 の高耐圧半導体装置は、第 7 の高耐圧半導体装置において、前記抵抗性フィールドプレートが渦巻き状に形成され、さらに、前記導電性フィールドプレートが、前記抵抗性フィールドプレートによる間隙上に沿って渦巻き状に形成され且つ複数の分断されたことを特徴とする。

## 【0028】

## 【発明の実施の形態】

図1は、本発明の第1の実施の形態に係る高耐圧半導体装置を示す平面図である。この高耐圧半導体装置は、横型ダイオードの一例を示すものである。

## 【0029】

図2は、この高耐圧半導体装置における抵抗性フィールドプレートを示した平面図である。

## 【0030】

図3は、図1のIII-III線における断面図である。

## 【0031】

この高耐圧半導体装置は、同心円状に配置された複数の環状の抵抗性フィールドプレートと、隣り合う抵抗性フィールドプレート同士を接続する帯状の抵抗性フィールドプレートと、環状の抵抗性フィールドプレート同士による間隙上に沿ってフローティング状（島状）に配設された導電性のフィールドプレートとを備えることを特徴とする。

## 【0032】

以下、図1～図3を用いて、この高耐圧半導体装置について詳しく説明する。

## 【0033】

図3に示すように、単結晶シリコンによる支持基板3と、シリコン酸化膜（SiO<sub>2</sub>膜）からなる絶縁膜4と、高抵抗のn型基板6とから構成されたSOI基板5が設けられている。n型基板6の表面には、p型アノード領域8及びn型カソード領域9がそれぞれ選択的に形成されている。p型アノード領域8の表面には、高不純物濃度のp型コンタクト領域10が選択的に形成され、一方、n型カソード領域9の表面には、高不純物濃度のn型コンタクト領域11が選択的に形成されている。

## 【0034】

p型アノード領域8とn型カソード領域9との間におけるn型基板6の表面にはLOCOS酸化膜12が形成されている。このLOCOS酸化膜12上には、ポリシリコン等の高抵抗性材料からなる抵抗性フィールドプレート1が形成され

ている。

#### 【0035】

図2に示すように、この抵抗性フィールドプレート1は、同心円環状に配置された、複数の抵抗性フィールドプレート1a（抵抗性フィールドプレート1a<sub>1</sub>～1a<sub>7</sub>）と、隣り合う抵抗性フィールドプレート同士を接続する帯状の抵抗性フィールドプレート1bとから構成される。図中、1cは、孔である。

#### 【0036】

図3に示すように、p型コンタクト領域10上には、例えばシリコン酸化膜による層間絶縁膜17を介して、第1のアノード電極13が抵抗性フィールドプレート1a<sub>1</sub>と接続された状態で形成されている。また、n型コンタクト領域11上には、層間絶縁膜17を介して、第1のカソード電極14が抵抗性フィールドプレート1a<sub>7</sub>と接続された状態で形成されている。従って、第1のアノード電極13と第1のカソード電極14とは、高抵抗の抵抗性フィールドプレート1（抵抗性フィールドプレート1a<sub>1</sub>～1a<sub>7</sub>及び抵抗性フィールドプレート1b）を介して電氣的に接続される。

#### 【0037】

これら第1のアノード電極13及び第1のカソード電極14上には、それぞれに厚みを持たせるため、第2のアノード電極15及び第2のカソード電極16が一体に形成されている。

#### 【0038】

上述した電極、つまり、第1及び第2のアノード電極13、15、並びに、第1及び第2のカソード電極14、16は、例えばアルミニウムや銅、タングステン等により形成されている。

#### 【0039】

一方、図3に示すように、環状の抵抗性フィールドプレート1a及び帯状の抵抗性フィールドプレート1b（図2参照）上には層間絶縁膜17を介して、例えばアルミニウムによる導電性フィールドプレート2（導電性フィールドプレート2<sub>1</sub>～2<sub>6</sub>）が形成されている。この導電性フィールドプレート2は、図1に示すように、抵抗性フィールドプレート1a<sub>1</sub>～1a<sub>7</sub>による間隙上に沿って同心

円状且つフローティング状に配設されている。このような導電性フィールドプレート 2 は、図 3 に示すように、上述の第 1 のアノード電極 13 及び第 1 のカソード電極 14 と同一工程あるいは別工程により形成される。

#### 【0040】

そして、導電性フィールドプレート 2 の表面には第 2 の層間絶縁膜 18 が設けられている。

#### 【0041】

以上の構成における動作を説明する。

#### 【0042】

図 3 に示すように、第 2 のカソード電極 16 に正、第 2 のアノード電極 15 に負の電圧を印加する。つまり、この横型ダイオードに逆方向の電圧（例えば耐圧電圧）を印加する。このとき、第 2 のカソード電極 16 と第 2 のアノード電極 15 とは高抵抗の抵抗性フィールドプレート 1 を介して電氣的に接続されているため、第 2 のカソード電極 16 から第 2 のアノード電極 15 へ微少電流が流れる。この結果、図 3 において、各抵抗性フィールドプレート 1a<sub>1</sub>～1a<sub>7</sub> は、それぞれ、抵抗性フィールドプレート 1a<sub>7</sub> から抵抗性フィールドプレート 1a<sub>1</sub> へと段階的に下がった状態の電位を有する。

#### 【0043】

一方、環状の抵抗性フィールドプレート 1a と導電性フィールドプレート 2 との間には、図 4 (a) に示すように、電圧印加時に、容量が形成される。

#### 【0044】

図 4 (b) は、図 4 (a) に示す容量接合関係を等価的に表した図である。

#### 【0045】

図 4 (b) に示すように、図 4 (a) の状態は、隣接する抵抗性フィールドプレート間において複数の容量が接合された状態とみなすことができる。従って、隣り合う抵抗性フィールドプレート間の電位は、一方の抵抗性フィールドプレートの電位から、他方の抵抗性フィールドプレートの電位へと滑らかに変化する。

#### 【0046】

以上から分かるように、電圧印加時には、抵抗性フィールドプレート 1

に微小電流が流れるため、各抵抗性フィールドプレート 1a<sub>1</sub>～1a<sub>7</sub>における電位は特定されるとともに、各抵抗性フィールドプレート 1a<sub>1</sub>～1a<sub>7</sub>の間隙における電位は滑らかに変化する。すなわち、高電位側の抵抗性フィールドプレート 1a<sub>7</sub>から低電位側のフィールドプレート 1a<sub>1</sub>へと行くに従い、抵抗性フィールドプレート 1a<sub>7</sub>～1a<sub>1</sub>間の電位は滑らかに下がっていく。このようにして形成された電位が、図3に示すように、n型基板6の表面に作用して、表面において、第1のカソード電極14側から第1のアノード電極13側へ緩やかに下がった電位が得られる。従って、p型アノード領域8とn型基板6との間で形成される空乏層は、図中左方向に広く広げられる。これにより、高耐圧特性が得られる。

#### 【0047】

以上のように本実施の形態によれば、電位の安定した抵抗性フィールドプレートの間隙上に、抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートを設配するようにしたので、環状の抵抗性フィールドプレート同士による間隙を広くしつつも、均一な電界分布を得ることができる。つまり、抵抗性フィールドプレートの間隔を広くしつつも高耐圧特性を得ることができる。

#### 【0048】

以上では、図1に示すように、環状の抵抗性フィールドプレート 1a<sub>1</sub>～1a<sub>7</sub>による間隙のそれぞれに対応させて導電性フィールドプレート 2<sub>1</sub>～2<sub>6</sub>を設けた。

#### 【0049】

これに対し、例えば、図5に示すように、2つの間隙に対して1つの導電性フィールドプレート（導電性フィールドプレート 7<sub>1</sub>～7<sub>3</sub>）を設けるようにしてもよい。この構成によっても、各抵抗性フィールドプレート 1a<sub>1</sub>～1a<sub>7</sub>の間隙の電位変化を滑らかにすることができるので、上述と同様に、均一な電界分布を得ることができる。

#### 【0050】

図6は、本発明の第2の実施の形態にかかる高耐圧半導体装置の平面図である。



**【0051】**

この高耐圧半導体装置における抵抗性フィールドプレート21は、第1の実施の形態における抵抗性フィールドプレートと異なり、渦巻き状に形成されている(図10参照)。渦巻きの最も内側の部分21<sub>1</sub>は、第2のカソード電極16に接続され、渦巻きの最も外側の部分21<sub>2</sub>は第2のアノード電極15に接続されている。そして、この抵抗性フィールドプレート21の間隙上には、図示しない層間絶縁膜を介して、渦巻き状の導電性フィールドプレート22が形成されている。この導電性フィールドプレート22は複数に分割されている。その他の構成は、第1の実施の形態と同様であるので、詳細な説明を省略する。

**【0052】**

以上の構成によっても、上述の第1の実施の形態と同等の効果を得ることができる。即ち、渦巻きの間隙を広くしつつも、基板表面において、均一な電界分布を得ることができる。これにより、高耐圧特性を得ることができる。

**【0053】**

上述では、第1及び第2の実施の形態をそれぞれ別個のものとして説明したが、これらを組み合わせることもできる。例えば、渦巻き状の抵抗性フィールドプレート上に環状の導電性フィールドプレートを配置することもできる。この場合、抵抗性フィールドプレートによる間隙上に導電性フィールドプレートが位置しない部分が生じるものの、上述した第1及び第2の実施の形態と同等の効果を得ることが可能である。

**【0054】**

また、上述した第1及び第2の実施の形態では、横型ダイオードを例として説明したが、本発明は、IGBTやMOSFET等、他の横型の高耐圧半導体装置にも適用することができる。

**【0055】**

また、上述した第1及び第2の実施の形態では、基板としてSOI基板を用いたが、本発明の適用範囲は、SOI基板に限定されるものではない。

**【0056】**

次に、本発明の第3の実施の形態について説明する。

## 【 0 0 5 7 】

本発明の第 3 の実施の形態は、接合終端技術として、抵抗性フィールドプレート及び導電性フィールドプレートを用いることを特徴とする。以下、本実施の形態についてさらに詳しく説明する。

## 【 0 0 5 8 】

図 7 は、本発明の第 3 の実施の形態にかかる高耐圧半導体装置の平面図である。

## 【 0 0 5 9 】

この高耐圧半導体装置は、パワー MOSFET の一例を示し、素子部 3 1 と、終端部 3 2 とからなる。素子部 3 1 の幅 L 1 は例えば 2 mm である。なお、図中 3 3 はソース電極である。

## 【 0 0 6 0 】

図 8 は、この高耐圧半導体装置の VIII-VIII 線における断面図である。

## 【 0 0 6 1 】

図 8 に示すように、 $n^+$ 型基板 3 4 上に  $n^-$ 型エピタキシャル層 3 5 が形成されている。

## 【 0 0 6 2 】

素子部 3 1 における  $n^-$ 型エピタキシャル層 3 5 の表面には、 $p$ 型ベース領域 3 6 が選択的に形成され、この  $p$ 型ベース領域 3 6 内には、 $n$ 型ソース領域 3 7 が選択的に形成されている。 $n$ 型ソース領域 3 7、 $p$ 型ベース領域 3 6 及び  $n^-$ 型エピタキシャル層 3 5 上には、層間絶縁膜 3 8 を介してゲート電極 3 9 が形成されている。ゲート電極 3 9 の表面を覆うように絶縁膜 4 0 が形成されており、素子部 3 1 の全面を覆うようにソース電極 3 3 が形成されている。

## 【 0 0 6 3 】

一方、終端部 3 2 における  $n^-$ 型エピタキシャル層 3 5 の表面には酸化膜 4 1 が形成されている。素子部 3 1 との間でこの酸化膜 4 1 を挟むように、 $n^-$ 型エピタキシャル層 3 5 の表面に  $n^+$ 型コンタクト領域 4 2 が形成されている。この  $n^+$ 型コンタクト領域 4 2、酸化膜 4 1 及びこの酸化膜 4 1 に隣接した  $p$ 型ベース領域 3 6 上には抵抗性フィールドプレート 4 3 が形成されている。最も内側の

抵抗性フィールドプレート 43<sub>1</sub> はソース電極 33 に電氣的に接続され、最も外側の抵抗性フィールドプレート 43<sub>7</sub> は  $n^+$  型コンタクト領域 42 に電氣的に接続されている。

#### 【0064】

各抵抗性フィールドプレート 43<sub>1</sub> ~ 43<sub>7</sub> の平面パターンは、図 7 を参照して、終端部 32 に沿った環状（図示せず）をなしている。相隣り合う抵抗性フィールドプレート同士は、第 1 の実施の形態と同様、帯状の抵抗性フィールドプレート（図示せず）により接続されている。

#### 【0065】

図 8 に示すように、抵抗性フィールドプレート 43 上には層間絶縁膜 45 が形成され、この層間絶縁膜 45 上には導電性フィールドプレート 46（導電性フィールドプレート 46<sub>1</sub> ~ 46<sub>6</sub>）が、抵抗性フィールドプレート 43<sub>1</sub> ~ 43<sub>7</sub> による間隙上に沿って形成されている。つまり、各導電性フィールドプレート 46<sub>1</sub> ~ 46<sub>6</sub> は、環状且つフローティング状に形成されている。

#### 【0066】

上述の  $n^+$  型コンタクト領域 42 及び環状の抵抗性フィールドプレート 43<sub>7</sub> 上には、終端電極 44 が形成されている。従って、終端電極 44 とソース電極 33 とは高抵抗の抵抗性フィールドプレート 43 を介して電氣的に接続される。

#### 【0067】

一方、 $n^+$  型基板 34 の裏側にはドレイン電極 47 が形成されている。

#### 【0068】

以上の構成において、ドレイン電極 47 に正の電圧を、ソース電極 33 に負（あるいは 0）の電圧をそれぞれ印加する（例えばソース電極ードレイン電極間に耐圧電圧を印加する）。

#### 【0069】

このとき、終端電極 44 からソース電極 33 に高抵抗の抵抗性フィールドプレート 43 を介して微少電流が流れる。一方、抵抗性フィールドプレート 43<sub>1</sub> ~ 43<sub>7</sub> と導電性フィールドプレート 46<sub>1</sub> ~ 46<sub>6</sub> との間には、第 1 の実施の形態と同様に、容量が形成される。

## 【 0 0 7 0 】

よって、上述から分かるように、終端部 3 2 における n ー型エピタキシャル層 3 5 の表面電界は均一に分布する。従って、酸化膜 4 1 に隣接する p 型ベース領域 3 6 と n ー型エピタキシャル層 3 5 との間で形成された空乏層は、n 十型コンタクト領域 4 2 の側に広く伸びる。これにより、高耐圧特性を得ることができる。

## 【 0 0 7 1 】

上述した第 3 の実施の形態では、縦型 MOS F E T を例として説明したが、本発明は、I G B T やダイオード等、他の縦型の高耐圧半導体装置についても適用することができる。

## 【 0 0 7 2 】

## 【発明の効果】

本発明によれば、一端が第 1 の主電極に、他端が第 2 の主電極に接続された抵抗性フィールドプレートの間隙上に、第 1 及び第 2 の主電極間への電圧印加時に抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートを設けたので、各間隙における電位を容量によって滑らかに変化させ、これにより、基板表面の電界を緩和することができる。よって、高耐圧特性を得ることができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の実施の形態に係る高耐圧半導体装置を示す平面図である。

## 【図 2】

図 1 の高耐圧半導体装置における抵抗性フィールドプレートを取り出して示した平面図である。

## 【図 3】

図 1 の III - III 線における断面図である。

## 【図 4】

抵抗性フィールドプレートと導電性フィールドプレート間に形成された容量を示す図である。

**【図 5】**

別の導電性フィールドプレート例を示す図である。

**【図 6】**

本発明の第 2 の実施の形態にかかる高耐圧半導体装置の平面図である。

**【図 7】**

本発明の第 3 の実施の形態にかかる高耐圧半導体装置の平面図である。

**【図 8】**

図 7 のVIII-VIII線における断面図である。

**【図 9】**

抵抗性フィールドプレートを備えた従来の高耐圧半導体装置を示す平面図である。

**【図 1 0】**

図 9 の高耐圧半導体装置におけるフィールドプレートを取り出して示した図である。

**【図 1 1】**

図 9 のX I - X I 線における断面図である。

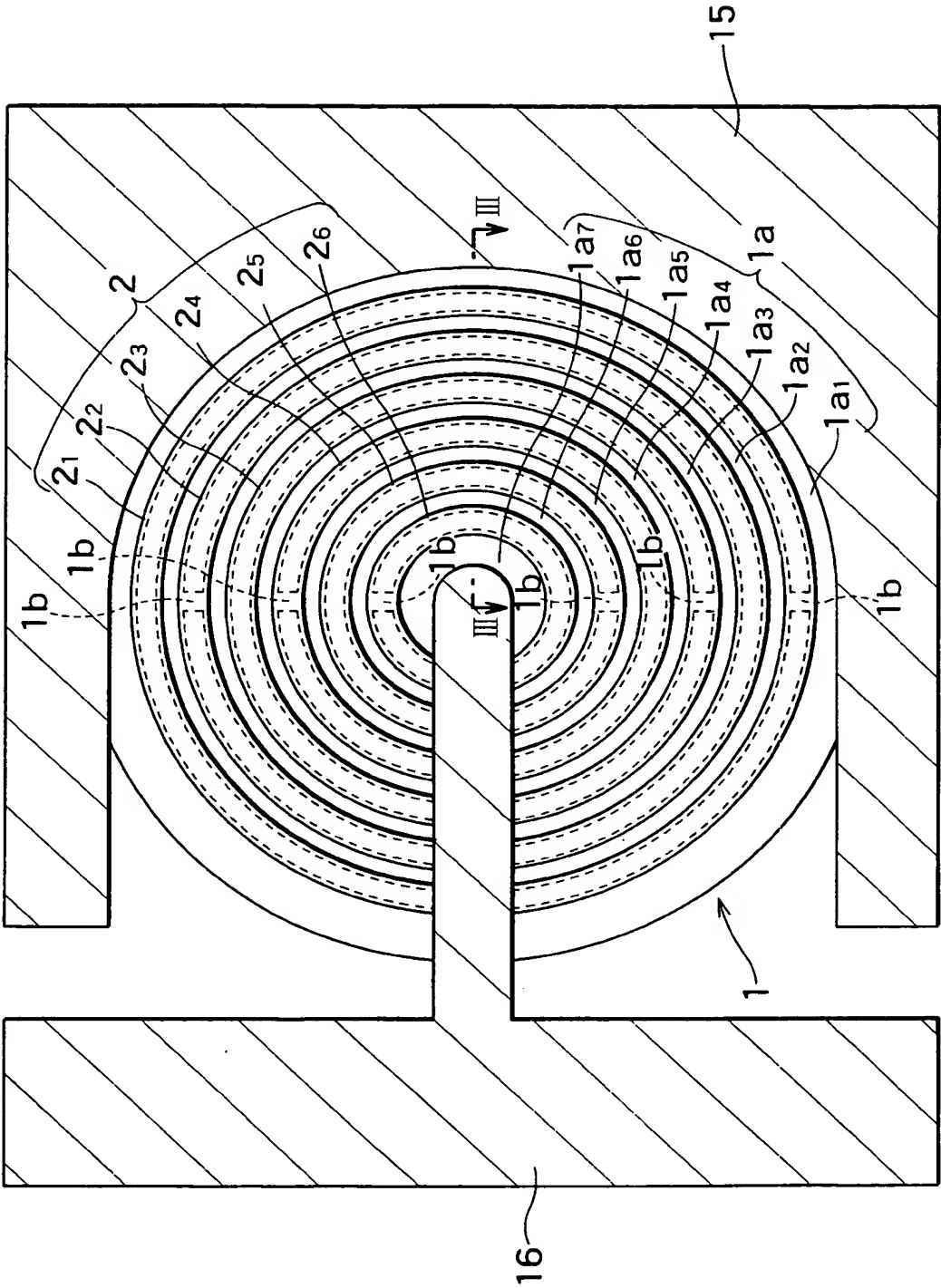
**【符号の説明】**

- 1、4 3 抵抗性フィールドプレート
- 2、7、2 2、4 6 導電性フィールドプレート
- 3 支持基板
- 4 絶縁層（シリコン酸化膜）
- 5 S O I 基板
- 6 n 型基板
- 8 p 型アノード領域
- 9 n 型カソード領域
- 1 0 p 型コンタクト領域
- 1 1、4 2 n 型コンタクト領域
- 1 2 L O C O S 酸化膜
- 1 3 第 1 のアノード電極

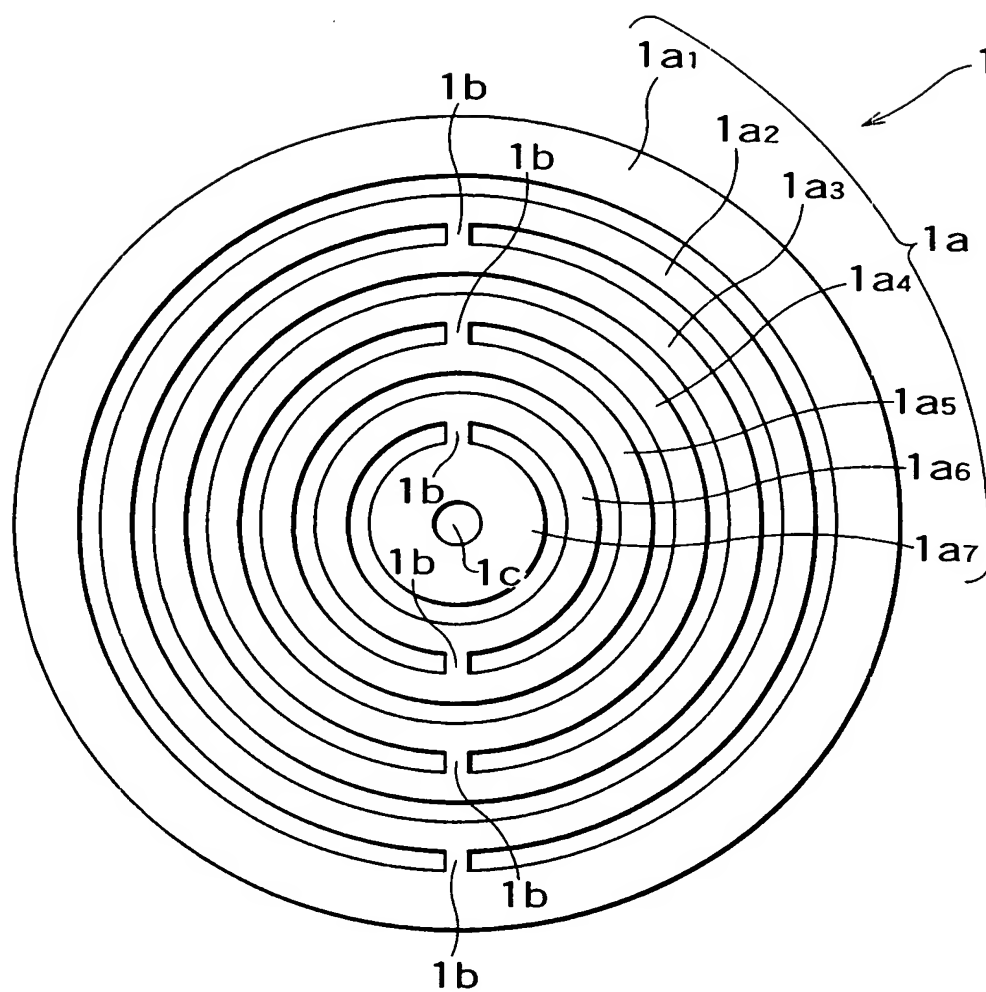
- 1 4 第 1 のカソード電極
- 1 5 第 2 のアノード電極
- 1 6 第 2 のカソード電極
- 1 7 層間絶縁膜
- 1 8 第 2 の層間絶縁膜
- 3 1 素子部
- 3 2 終端部
- 3 3 ソース電極
- 3 4  $n^+$ 型基板
- 3 5  $n^-$ 型エピタキシャル層
- 3 6  $p$ 型ベース領域
- 3 7  $n$ 型ソース領域
- 3 8 ゲート絶縁膜
- 3 9 ゲート電極
- 4 0 絶縁膜
- 4 1 酸化膜
- 4 4 終端電極

【書類名】 図面

【図 1】

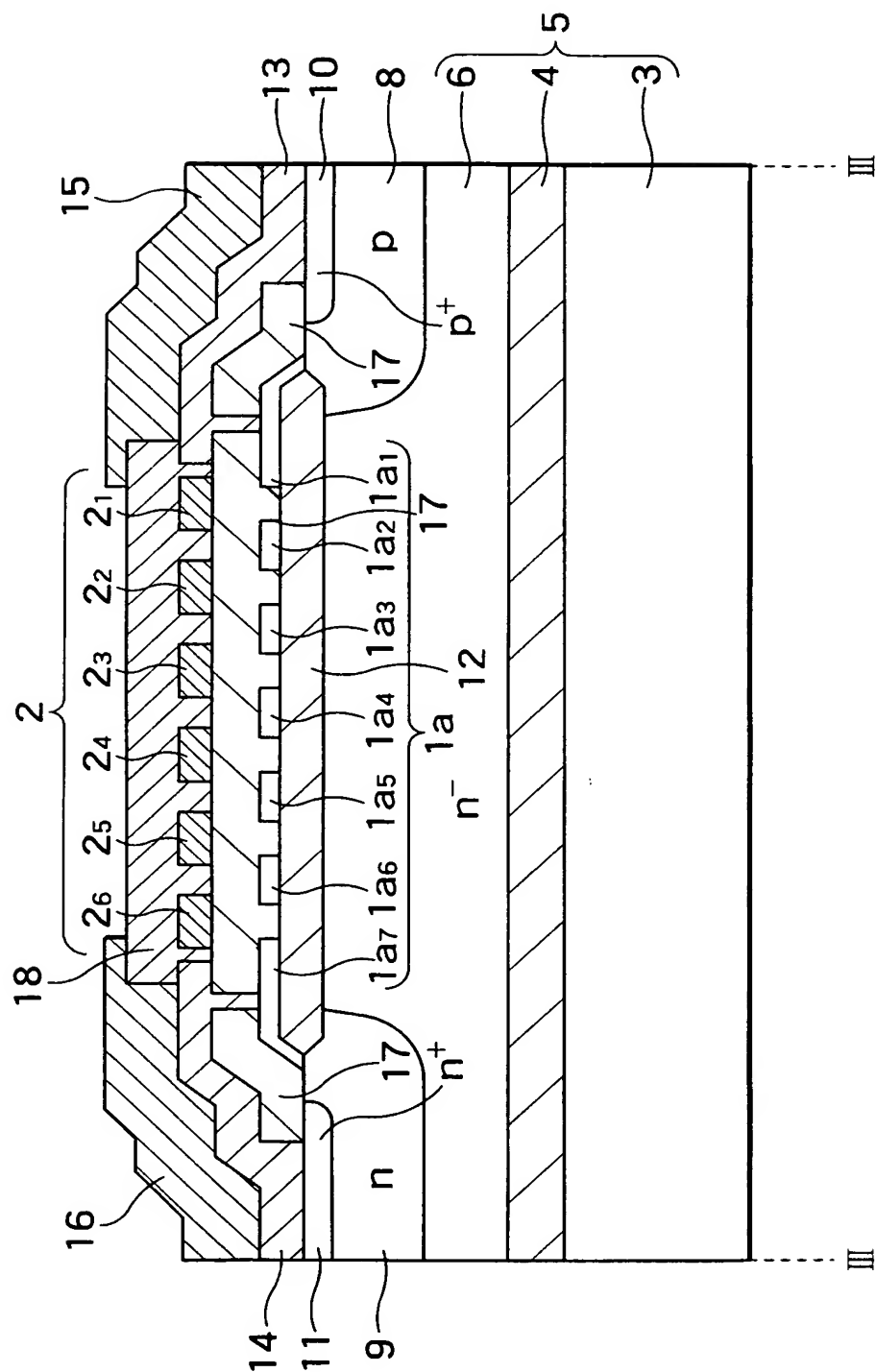


【図 2】

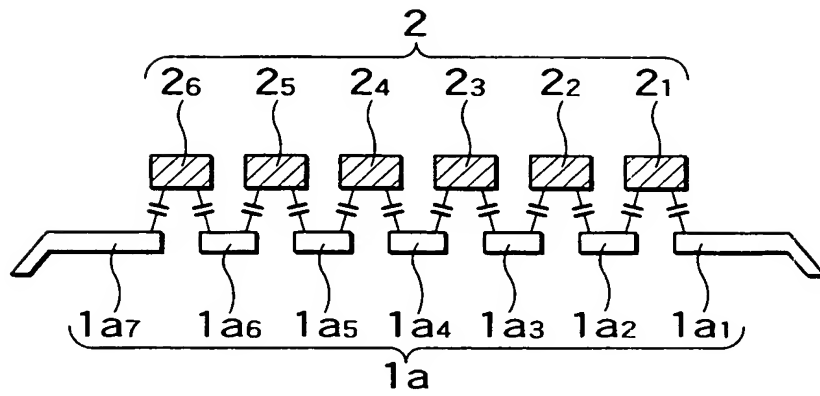




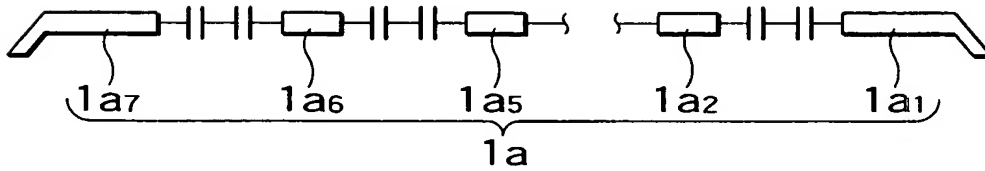
【図 3】



【図 4】

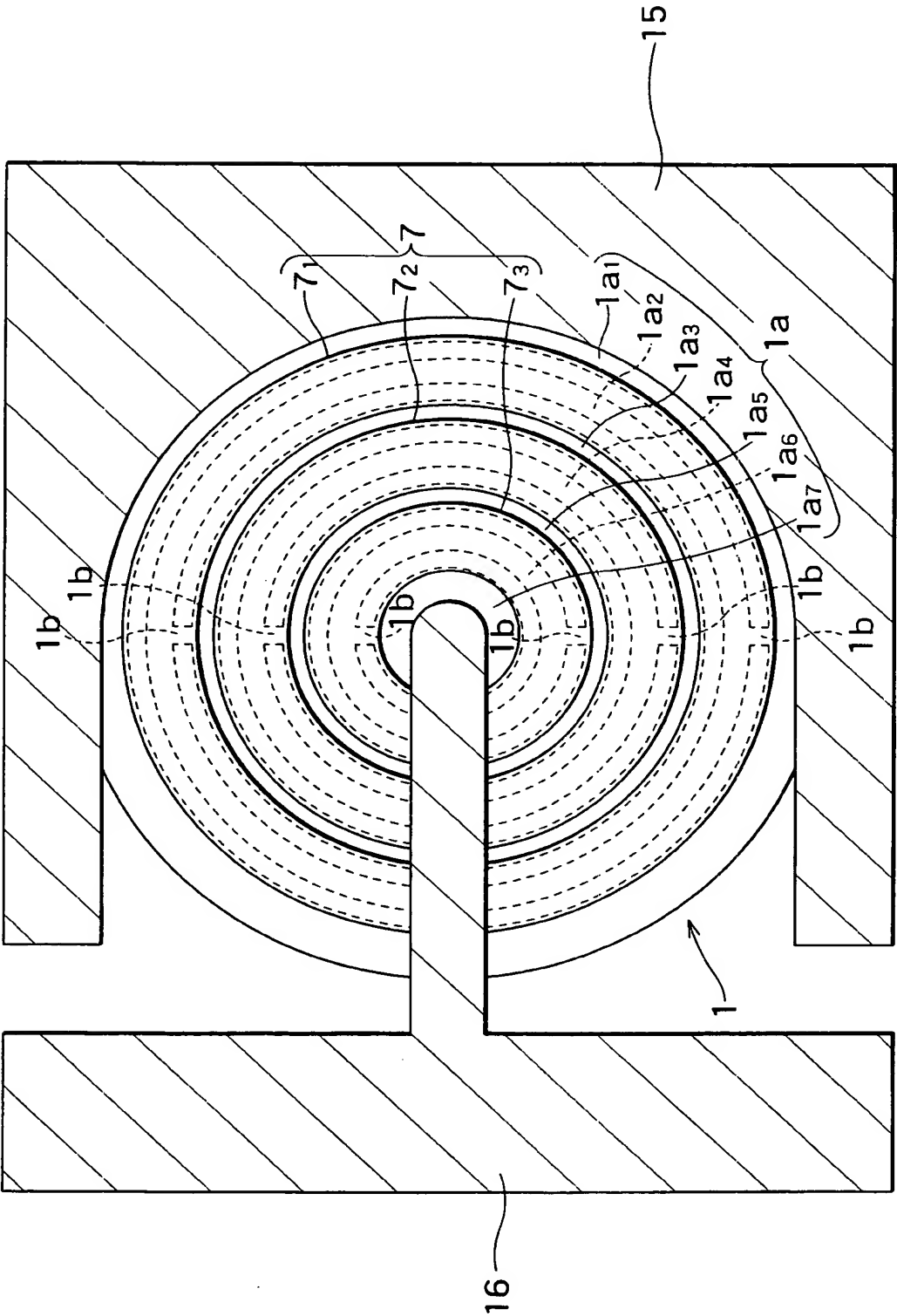


(a)

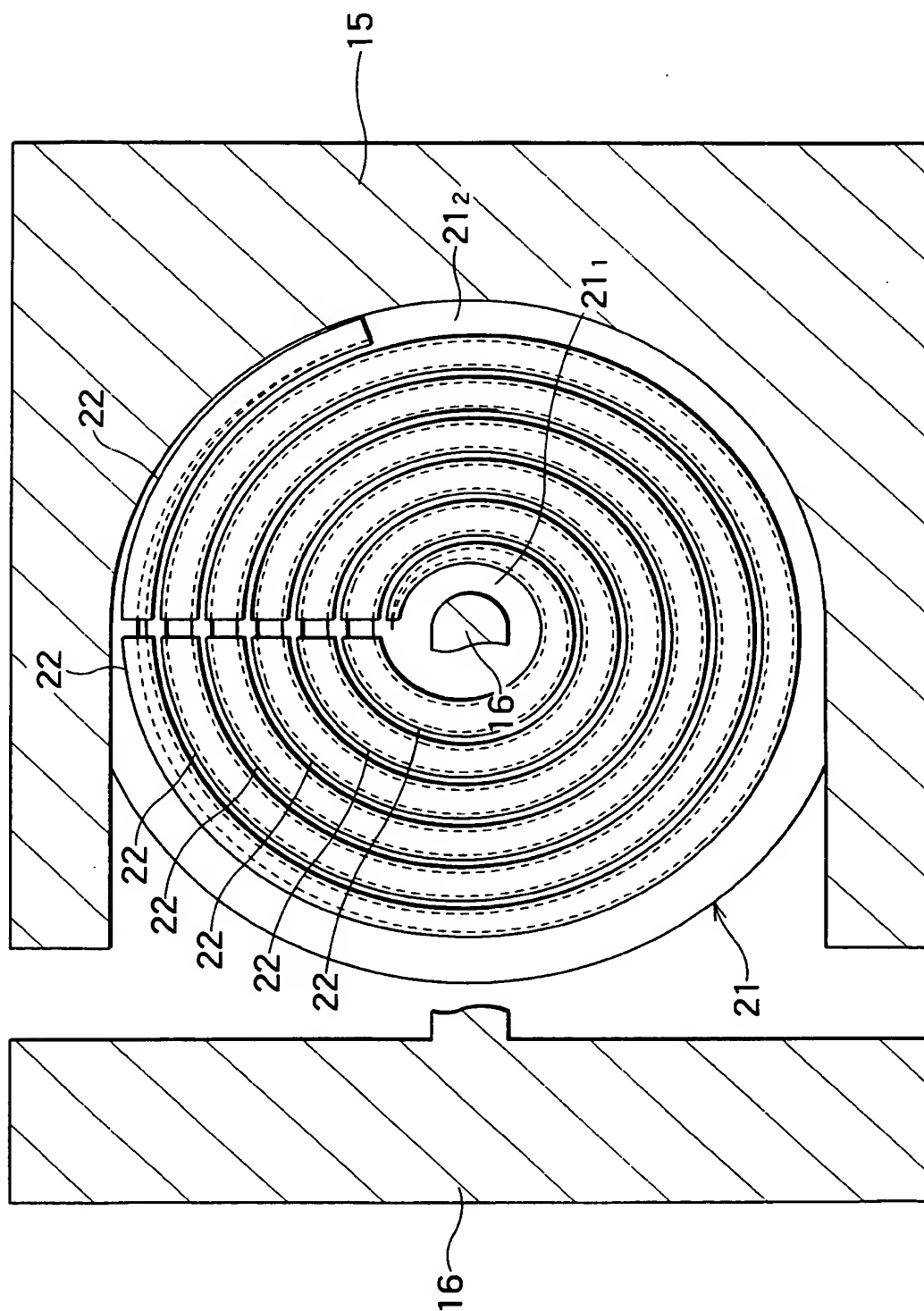


(b)

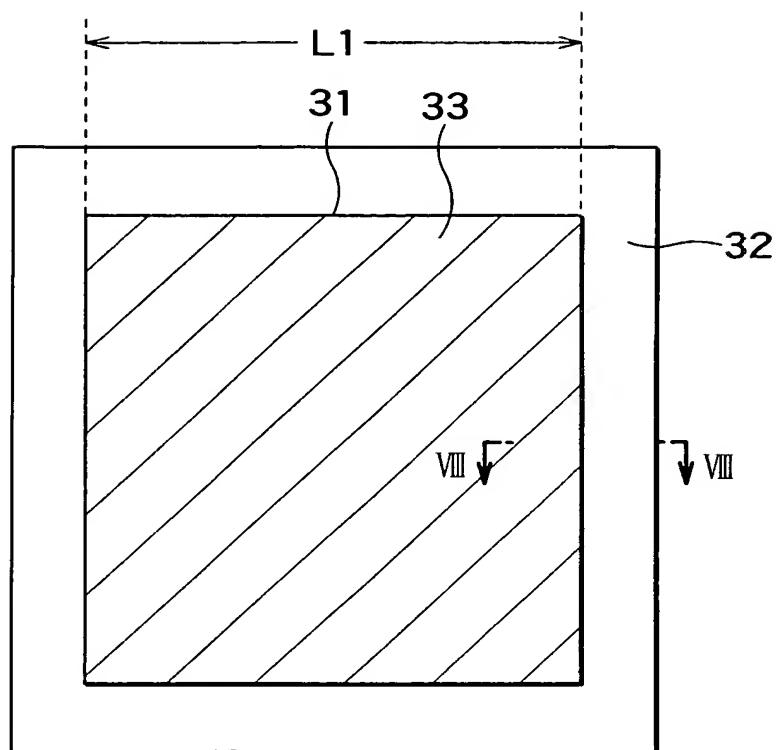
【図 5】



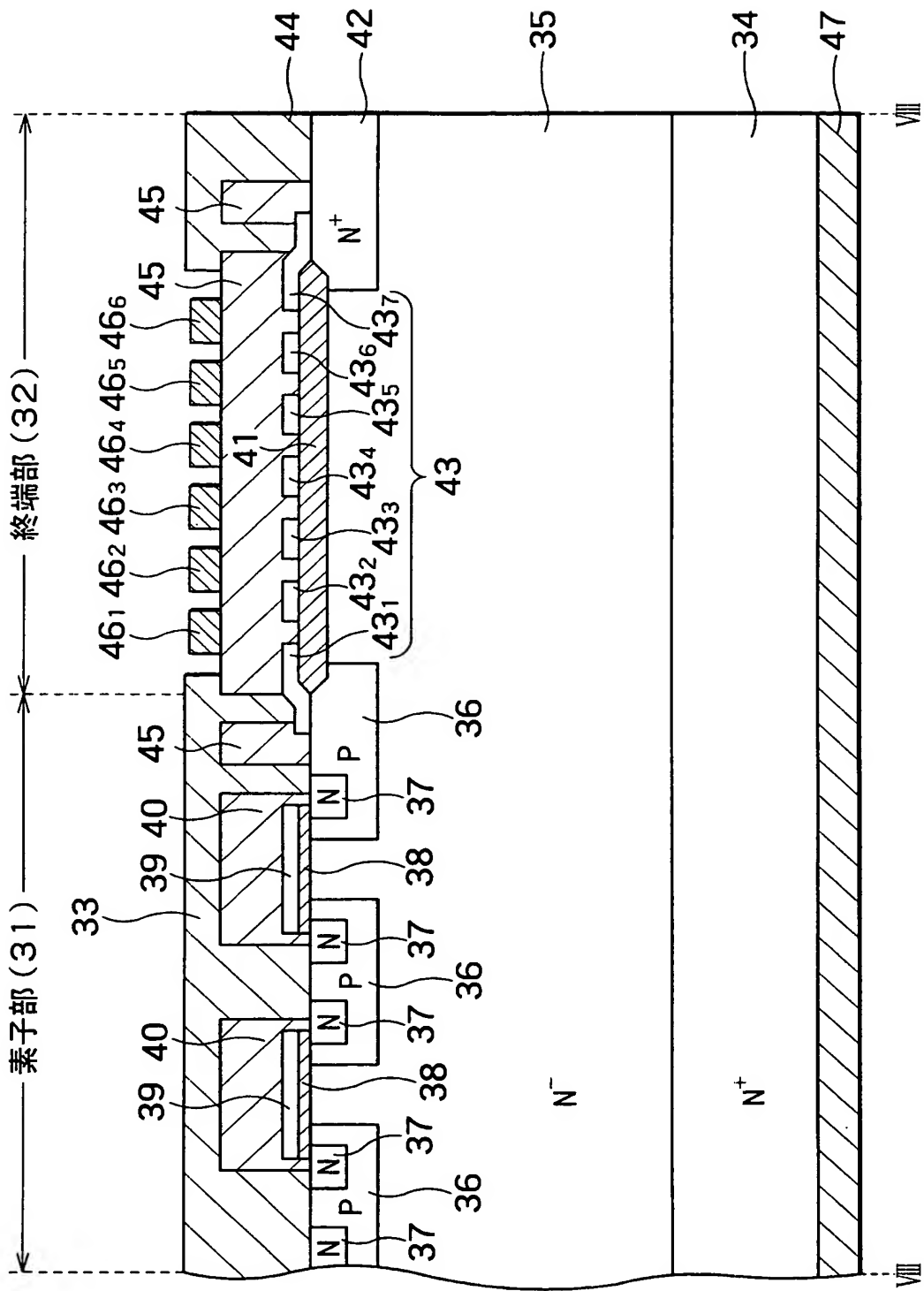
【図 6】



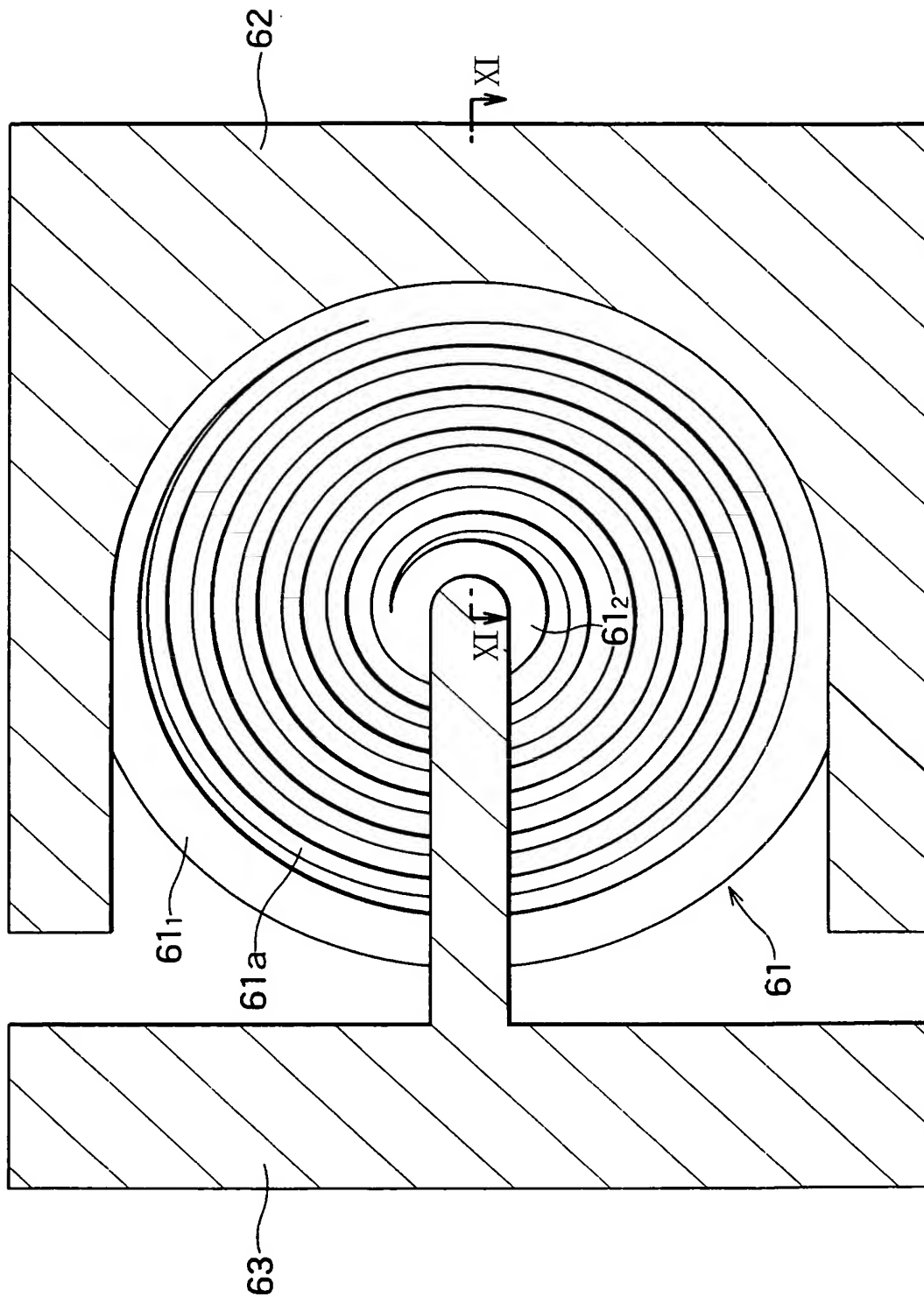
【図 7】



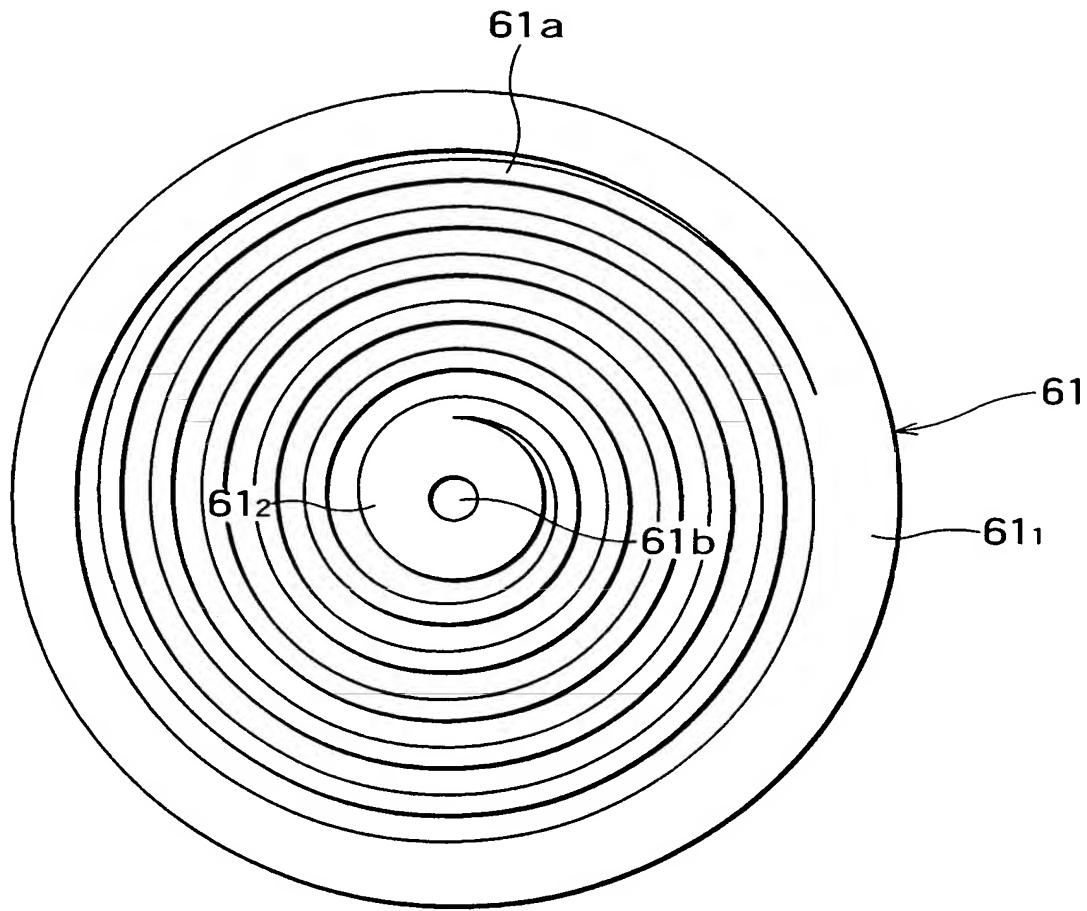
【図 8】



【図 9】



【図10】







【書類名】 要約書

【要約】

【課題】 抵抗性フィールドプレートの間隙を広く確保しつつ、高耐圧特性を実現する。

【解決手段】 基板上における半導体層の表面領域において形成された内側の第 1 の主電極及び外側の第 2 の主電極とを抵抗性フィールドプレートで接続する。この抵抗性フィールドプレートは、第 1 の主電極を囲み、且つ、第 1 の主電極から第 2 の主電極に順次近づくように配置された複数の周回フィールドプレートと、隣り合う周回フィールドプレート同士を接続する接続フィールドプレートとを有する。複数の周回フィールドプレートによる間隙上には層間絶縁膜を介して第 1 及び第 2 の主電極間への電圧印加時に、抵抗性フィールドプレートとの間で容量を形成する導電性フィールドプレートを設ける。

【選択図】 図 1

特願 2 0 0 3 - 1 6 6 4 1 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1 . 変更年月日

2 0 0 1 年    7 月    2 日

[変更理由]

住所変更

住    所

東京都港区芝浦一丁目 1 番 1 号

氏    名

株式会社東芝